

CLIPPEDIMAGE= JP410256425A

PAT-NO: JP410256425A

DOCUMENT-IDENTIFIER: JP 10256425 A

TITLE: PACKAGE SUBSTRATE AND MANUFACTURING METHOD THEREOF

PUBN-DATE: September 25, 1998

INVENTOR-INFORMATION:

NAME

MORI, NOBORU

MATSUNAGA, HAYASHI

HAYAMA, MASAOKI

MURAKAMI, TOMITARO

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP09060656

APPL-DATE: March 14, 1997

INT-CL (IPC): H01L023/12;H01L023/13 ;H05K003/12 ;H05K003/20
;H05K003/40
;H05K003/46

ABSTRACT:

PROBLEM TO BE SOLVED: To provide the ceramic-type package substrate and the manufacturing method thereof, wherein the position accuracy of a wiring pattern formed on a ceramic circuit board is excellent, the minute pattern of thick film can be formed and the low cost is achieved.

SOLUTION: A minute groove is formed at the surface of a flexible resin base material in the pattern in correspondence with a first conductor pattern 2, and a concave plate is manufactured. Conductive paste is filled and dried in the groove of the concave plate. The concave plate and a

circuit board 1 are stuck together by applying the heat and the pressure in the specified ranges. The pattern of the dried conductive paste is transferred on the circuit board 1 and baked, and the first conductor pattern 2 is formed. A first ball- shaped solder 4 is bonded to a second conductor pattern 12, which is connected to the first conductor pattern 2 by way of an electrode 32 in the through hole of the circuit board 1.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256425

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl. ⁶	識別記号	F I
H 0 1 L 23/12		H 0 1 L 23/12 L
23/13		H 0 5 K 3/12 6 3 0 Z
H 0 5 K 3/12	6 3 0	3/20 C
3/20		3/40 K
3/40		3/46 N

審査請求 未請求 請求項の数26 O L (全 21 頁) 最終頁に続く

(21) 出願番号	特願平9-60656	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成9年(1997) 3月14日	(72) 発明者	毛利 昇 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	松永 速 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	葉山 雅昭 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74) 代理人	弁理士 滝本 智之 (外 1 名) 最終頁に続く

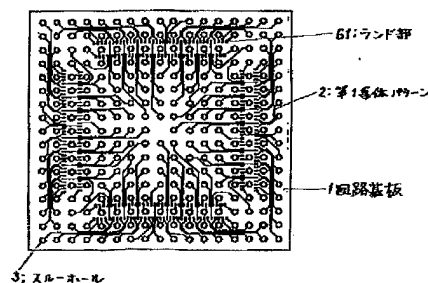
(54) 【発明の名称】 パッケージ基板およびその製造方法

(57) 【要約】

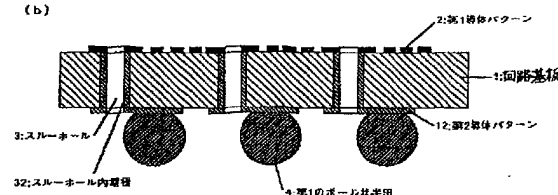
【課題】 セラミック回路基板上に形成される配線パターンの位置精度に優れ、高膜厚で微細な導体パターンを形成可能で、かつ低コスト化が図れるセラミックタイプのパッケージ基板およびその製造方法を提供する。

【解決手段】 可とう性樹脂基材の表面に微細な溝を第1導体パターンに対応したパターンで形成して凹版を製造し、この凹版の溝に導電性ペーストを充填乾燥し、凹版と回路基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせ、乾燥された導電性ペーストのパターンを回路基板上に転写し、焼成して第1導体パターンを形成し、第1導体パターンと回路基板のスルーホール内電極を介して接続した第2導体パターンに第1のボール状半田を接合する。

(a)



(b)



【特許請求の範囲】

【請求項1】 回路基板上に第1導体パターンを凹版の印刷によって形成し、上記回路基板の反対面に形成した第2導体パターンに第1のボール状半田が接合されているパッケージ基板の製造方法であって、可とう性樹脂基材の表面に該第1導体パターンに対応するパターン形状の溝を形成して凹版を製造する工程と、この凹版の溝に導電性ペーストを充填し、乾燥する工程と、前記工程で乾燥された導電性ペーストの乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再乾燥する工程とを所定の回数繰り返す工程と、前記導電性ペーストが充填され乾燥された凹版と上記回路基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせる工程と、前記凹版を上記回路基板から剥離して導電性ペーストのパターンを回路基板上に転写し、焼成して第1導体パターンを形成する工程と、上記第1導体パターンに対して回路基板の反対面にスクリーン印刷あるいは凹版印刷によって第2導体パターンを形成し、焼成する工程と、前記第2導体パターンと第1導体パターンとを前記回路基板のスルーホールに導電性ペーストを介在させることによって接続する工程と前記回路基板の第2導体パターンに第1のボール状半田を接合する工程とを包含するパッケージ基板の製造方法。

【請求項2】 前記回路基板は、絶縁基板と、該絶縁基板の少なくとも一方の表面に形成された厚さ $20\mu\text{m}$ 以下の樹脂層とを備え、該樹脂層が熱硬化性樹脂または熱可塑性樹脂である請求項1に記載のパッケージ基板の製造方法。

【請求項3】 前記回路基板は、未焼成グリーンシートからなり、少なくとも第1導体パターンが形成されてから焼成される請求項1に記載のパッケージ基板の製造方法。

【請求項4】 前記回路基板は、多層配線構造に形成されている請求項1に記載のパッケージ基板の製造方法。

【請求項5】 前記回路基板は、その表面粗さが、第1導体パターンの印刷面よりも第2導体パターンの印刷面の方を粗くした請求項1に記載のパッケージ基板の製造方法。

【請求項6】 前記第1導体パターンあるいは第2導体パターンの少なくとも一部に誘電体層を重ねて形成し、焼成する工程と、この誘電体層上に第3の導体パターンを形成し、焼成する工程とを包含する請求項1に記載のパッケージ基板の製造方法。

【請求項7】 前記第1導体パターンと第2導体パターンの少なくとも一部を、熱膨張係数が前記回路基板の熱膨張係数に比べて $\pm 10\%$ 以内である第1及び第2の絶縁層で被う工程を含む請求項1または請求項6に記載のパッケージ基板の製造方法。

【請求項8】 前記第1導体パターンの一部にLSIチップをフェーダウン実装して電氣的接続を行う工程を含

む請求項1または請求項6に記載のパッケージ基板の製造方法。

【請求項9】 前記第1導体パターンに対応させた可とう性樹脂基材の表面に加工する溝の深さが少なくとも2種類ある凹版により、第1導体パターンのランド部を凹版の浅くした溝部で形成し、該ランド部にLSIチップをフェースダウン実装して電氣的接続を行う工程を含む請求項1または請求項6に記載のパッケージ基板の製造方法。

【請求項10】 前記導電性ペーストを介在させることにより形成したスルーホールの空隙部に第2の半田を充填し、溶融・固化する工程と、この第2の半田と第2導体パターンに接合する第1のボール状半田を形成する工程とを包含する請求項1または請求項6に記載のパッケージ基板の製造方法。

【請求項11】 前記第2の半田を充填し、溶融・固化した後で、その充填量を一定にするために高さを揃える工程を含む請求項10に記載のパッケージ基板の製造方法。

【請求項12】 前記第2の半田は前記第1のボール状半田よりも高融点である請求項10に記載のパッケージ基板の製造方法。

【請求項13】 前記第1導体パターンの少なくとも一部を覆う第1絶縁層を形成する工程と、この第1の絶縁層のビアホール部に導体ペーストを充填し、焼成する工程と、上記ビアホール部の導体上にLSIチップのバンパを接続し、実装する工程とを包含する請求項1、請求項6、請求項10のいずれかに記載のパッケージ基板の製造方法。

【請求項14】 前記第1の絶縁層は、予めビアホール部に導体ペーストが充填されたガラスセラミックを含んだ未焼成グリーンシートを前記第1導体パターン上に積層し、焼成することにより形成する請求項13に記載のパッケージ基板の製造方法。

【請求項15】 前記第1のボール状半田に対応した位置に穴を開けた板状マスクを第1のボール状半田に相対して配置する工程と、前記回路基板を加熱して該第1のボール状半田を溶融させ、同時に該穴開き板状マスクを該回路基板側に密着させて第1の半田を柱状に形成する工程と、この第1の柱状半田を固化し、該穴開き板状マスクを該基板から取り外す工程とを包含する請求項1、請求項6、請求項10のいずれかに記載のパッケージ基板の製造方法。

【請求項16】 前記回路基板の第2導体パターンの形成された基板面に穴開き板状マスクを密着させる工程と、該穴開き板状マスクの穴部もしくは穴部と穴部周辺に半田ペーストを形成する工程と、この半田ペーストを溶融して該マスクの穴部に半田を流し込み、第1の半田を柱状に形成する工程と、この第1の柱状半田を固化後に該穴開き板状マスクを該基板から取り外す工程とを包

含する請求項1、請求項6、請求項10のいずれかに記載のパッケージ基板の製造方法。

【請求項17】 回路基板と、可とう性樹脂基材を使用した凹版の印刷によって回路基板上に転写形成された第1の導体パターンと、該第1の導体パターンに対して回路基板の反対面にスルーホールを介して電気的に接続された第2の導体パターンと、該第2の導体パターンに接合された第1のボール状半田とを備えたパッケージ基板。

【請求項18】 回路基板と、可とう性樹脂基材を使用した凹版の印刷によって回路基板上に転写形成された第1の導体パターンと、該第1の導体パターンに対して回路基板の反対面にスルーホールを介して電気的に接続された第2の導体パターンと、該スルーホールの空隙部に充填された第2の半田と、該第2の導体パターン及び第2の半田に接合された第1のボール状半田とを備えたパッケージ基板。

【請求項19】 前記回路基板は、多層配線構造に形成されている請求項17、請求項18のいずれかに記載のパッケージ基板。

【請求項20】 前記回路基板はその表面粗さが第1導体パターンの印刷面よりも第2導体パターンの印刷面の方を粗くした請求項17、請求項18のいずれかに記載のパッケージ基板。

【請求項21】 前記第1導体パターンあるいは第2導体パターンの少なくとも一部に重ねて形成された誘電体層と、該誘電体層上に形成された第3導体パターンとをさらに備えた請求項17、請求項18のいずれかに記載のパッケージ基板。

【請求項22】 前記第1導体パターンと、第2導体パターンの少なくとも一部を覆う第1及び第2の絶縁層をさらに備えた請求項17、請求項18、請求項21のいずれかに記載のパッケージ基板。

【請求項23】 前記第1導体パターンの一部にLSIチップをフェースダウン実装して電気的に接続された請求項17、請求項18、請求項21のいずれかに記載のパッケージ基板。

【請求項24】 前記第1導体パターンの一部の膜厚を薄くし、その部分にLSIチップをフェースダウン実装して電気的に接続された請求項17、請求項18、請求項21のいずれかに記載のパッケージ基板。

【請求項25】 前記第1導体パターンの少なくとも一部を覆う第1絶縁層と、該第1の絶縁層のビアホール部に充填され焼成された導体ペーストと、該ビアホール部の導体上にバンパにより電気的に接続されたLSIチップとをさらに備えた請求項17、請求項18、請求項21のいずれかに記載のパッケージ基板。

【請求項26】 前記第1の半田を柱状とした請求項17、請求項18、請求項21のいずれかに記載のパッケージ基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体を実装するパッケージ基板およびその製造方法に関する。

【0002】

【従来の技術】近年、電子機器の小型化が進んでおり、それに伴って電子機器内で使用される電子部品の小型化についてもとどまるところを知らない。半導体を実装したパッケージについても同様であり、ボールグリッドアレイ（以下BGAという）型パッケージは他のパッケージに比べて、端子数が大幅に増加しても小型化と実装性に大きく有利である、ということ注目されている。

【0003】BGA型パッケージの中でもセラミック基板からなるものは、LSIチップのフェースダウン実装性や放熱特性が優れている点で、パッケージの一層の小型化に適しており、特にマイクロプロセッサ等の伝送速度の高速化に伴う発熱量の大きなLSIには好適なパッケージである。

【0004】従来のセラミックタイプのBGA型パッケージ（以下C-BGAという）は、特開平8-88297号公報に開示されているように、セラミック多層配線基板に半田ボールが接合されて構成されている。図18はこの従来のパッケージ基板を示す。図18において、C-BGAパッケージ101は、多層セラミック回路基板102に融点の異なる2種以上の接続用半田ボール106を接合し構成されている。

【0005】この従来例は、環境変化により熱履歴を受けた際に、セラミック製パッケージとプリント基板との間の熱膨張差によって半田ボール部に応力や歪みが発生する。この応力や歪みによって接続部が熱疲労破壊したり、あるいはセラミック製パッケージ自体が応力破壊する等、接続信頼性が低いという問題を半田ボールを2種以上で構成することによって解決しようとしたものである。

【0006】この方法によれば多層セラミック回路基板102は、基材となるアルミナ主成分のグリーンシートを複数枚用意し、それぞれにビアホールを形成し、導体ペーストにて配線パターンとビアホールの充填を行う必要がある。また配線パターンの形成されたそれぞれのグリーンシートを積層し加熱・加圧工程によってシートを一体化し、焼成することによって多層セラミック回路基板102が得られる。

【0007】別の従来例としては、セラミック基板に微細配線をしたセラミックパッケージ基板の製造方法が、特開平7-202381号公報に開示されている。以下図19に従って説明すると、セラミック基板201に導体層202を全面に印刷形成し、フォトリソ法により導体層の導体パターンとなるべき部分の表面に耐サンドブラスト樹脂パターン203を形成し、またサンドブラスト法により前述の耐サンドブラスト樹脂パターンが形成

されていない部分の導体層を取り除いた後、耐サンドブラスト樹脂パターンを剥離して導体パターン204を形成する方法である。この方法によれば、スクリーン印刷法にみられるような導体パターンの滲みが発生しない。また導体パターンの場所による高さのバラツキがなく、得られたパターン頂部の平坦性が優れる。

【0008】

【発明が解決しようとする課題】しかしながら、前述の前者の従来の方法は以下のような問題点を有している。

【0009】①配線パターンの形成がスクリーン印刷によるため、ライン幅(W)/ライン間隔(S)=75μm/75μm以下に微細にする事が非常に困難である。

【0010】②スクリーン印刷による配線パターンの形成の場合は、微細パターンにする程膜厚も薄くなり、例えばW=75μmの時にはその膜厚を約5μmしかとれない。従って配線抵抗が高くなるという欠点を有する。

【0011】③配線材料が特にタングステンの場合には、銀(Ag)や銅(Cu)による配線よりも配線抵抗が3~5倍高く、微細パターンになる程この欠点が大きくなり、電気部品として使用出来なくなる場合が多くなる。

【0012】④基板及び配線材料は、約900乃至1600℃という高温で同時に焼成される為に焼成後に約15~20%という材料収縮が発生し、このために基板の寸法ばらつきが大きくなり、LSIの非常に微細なバンプとの接続が精度上から不正確となり、実装歩留まりの低下の原因となる。

【0013】⑤更に、スクリーン印刷による配線パターンの形成の場合、ライン幅が75μm以上となり(印刷歩留まり及び配線抵抗を配慮すれば一般に120μm以上必要)、狭い面積の中で多くのラインを形成するためには配線の多層化をせざるをえなくなり、多層化する程、又実装精度の為に寸法精度を厳しくする程、基板コストは高くなる。

【0014】一方、前述の後者の従来の方法は以下のような問題点を有している。

⑥セラミック基板に個別に導体層を全面に印刷形成し、サンドブラスト法により前述の耐サンドブラスト樹脂パターンが形成されていない部分の導体層を取り除くことから、高価な導体の材料ロスが大きく、資源有効活用上からも課題が大きく、またサンドブラスト法という加工時間の長い工法のため生産性も低く、パッケージ基板のコストアップになることは避けられない。

【0015】⑦また、セラミック基板に個別に耐サンドブラスト樹脂パターンをフォトリソ法で形成する工法は、膜形成・露光・現像という工程が必要なため、精度は高いが、生産性が低いという課題を有する。

【0016】⑧配線パターンはフォトリソ法で微細に形成できるが、導体層を除去するためのサンドブラスト法

では、配線パターンを微細化する程、導体層の膜厚を薄くしなければ所望の配線パターンが得られない。具体的には、ライン幅W=30μmを形成する場合は導体層の膜厚は約10μm以下でなければ所望のライン幅を得ることができない。そのためこの例でも、配線抵抗が高くなり、特に大型のC-BGA等多くのC-BGAに適用出来ないという欠点を有する。

【0017】本発明は、このような従来の課題を解決するものであり、以下のような長所を備えた優れたパッケージ基板およびその製造方法を提供することを目的とするものである。

【0018】①配線パターンのライン幅の微細化が10μmまで可能であり、パッケージ基板として例えばライン幅が30μmであれば導体膜厚が30μmの高膜厚が可能となり、配線抵抗が低く、大型で多端子のC-BGAでもほぼ単層の配線で全てのラインを形成出来る。

【0019】②導体パターンは、すでに焼結済みのセラミック基板上に形成するため、LSIとの接続用ランドパターンの精度は数μm程度のばらつきで制御が可能であり、LSIのフェースダウン実装の歩留まりはほぼ100%を実現できる。また、導体パターンのランド部を薄くできるためにLSIチップの実装時の位置ズレを小さくでき、LSIのバンプピッチが小さくなくても、更に実装歩留まりを高めることができる。

【0020】③配線パターンのライン幅の微細化が10μmまで可能であるため、①で述べた効果はあるが、これを多層化する事で、更に小型化が可能となり、又LSIの多チップの実装にも対応可能となる。

【0021】④半田ボールの接合される面の基板の表面粗度が粗いので、半田ボールと導体パターン間、導体パターンと基板間でそれぞれ接合強度が強く、半田ボールの強度的信頼性が高い。

【0022】⑤配線パターンが単層で形成できるため、そのパターンに誘電体を被う事で、簡素な構造でノイズ成分が除去可能となり、電氣的に安定なパッケージ基板が得られる。

【0023】⑥基板のスルーホールの空隙部に半田を充填するため、半田ボールの基板との接合強度が強く、半田ボールの強度的信頼性が高い。又半田の熱伝導性も高いため、LSIで発生する熱を効率よく半田ボールまで伝導する事が出来る。

【0024】⑦柱状の半田を簡素に形成できるために、その柱状半田により、パッケージ基板とプリント基板との間の熱膨張差により受ける応力や歪みを、柱状半田で緩和されやすい構造となり、接続の信頼性が高まる。

【0025】

【課題を解決するための手段】上記目的を達成するために、本発明のパッケージ基板の製造法は、可とう性樹脂基材の表面に第1導体パターンに対応するパターンの溝を形成した凹版を製造する工程と、この凹版の溝に導電

性ペーストを充填し、乾燥する工程と、前記工程で乾燥された該導電性ペーストの乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再乾燥する工程とを所定の回数繰り返す工程と、該凹版と回路基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせる工程と、該凹版を該回路基板から剥離して該導電性ペーストのパターンを該回路基板上に転写し、焼成して第1導体パターンを形成する工程と、該第1導体パターンに対して回路基板の反対面にスクリーン印刷あるいは凹版印刷によって第2導体パターンを形成し、焼成する工程と、該第2導体パターンと該第1導体パターンとを該回路基板のスルーホールに導電性ペーストを介在させることによって接続する工程と、該第2導体パターンに第1のボール状半田を接合する工程とを包含するものである。

【0026】従って、この構成によれば、可とう性樹脂基材の表面に微細な溝を第1導体パターンに対応したパターンで形成して凹版を製造し、溝に導電性ペーストを充填乾燥し、乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再乾燥する工程を所定の回数繰り返す事で溝部に濃縮された導体材料が充填されることになり、凹版と回路基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせ、凹版を回路基板から剥離して、乾燥された導電性ペーストのパターンを回路基板上に転写し、焼成して第1導体パターンを形成し、第2導体パターンは第1導体パターンに対して回路基板の反対面にスクリーン印刷あるいは凹版印刷によって形成し、第1導体パターンと回路基板のスルーホール部のスルーホール内電極を介して接続し、第2導体パターンに第1のボール状半田を接合することによって、高膜厚で微細な配線パターンを簡単に形成する事が可能となり、配線抵抗が低く、大型で多端子のC-BGAでもほぼ単層の配線で全てのラインを形成出来るという効果を有する。

【0027】

【発明の実施の形態】請求項1記載の発明は、回路基板上に第1導体パターンを凹版の印刷によって形成し、上記回路基板の反対面に形成した第2導体パターンに第1のボール状半田が接合されているパッケージ基板の製造方法であって、可とう性樹脂基材の表面に該第1導体パターンに対応するパターン形状の溝を形成して凹版を製造する工程と、この凹版の溝に導電性ペーストを充填し、乾燥する工程と、前記工程で乾燥された該導電性ペーストの乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再乾燥する工程とを所定の回数繰り返す工程と、前記導電性ペーストが充填された凹版と回路基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせる工程と、前記凹版を回路基板から剥離して、該導電性ペーストのパターンを該回路基板上に転写し、焼成して第1導体パターンを形成する工程と、

該第1導体パターンに対して回路基板の反対面にスクリーン印刷あるいは凹版印刷によって該第2導体パターンを形成し、焼成する工程と、該第2導体パターンと該第1導体パターンとを該回路基板のスルーホールに導電性ペーストを介在させることによって接続する工程と、前記回路基板の第2導体パターンに第1のボール状半田を接合する工程とを包含するものである。

【0028】請求項2に記載の発明は、請求項1記載の発明において、回路基板が、絶縁基板と、該絶縁基板の少なくとも一方の表面に形成された厚さ20 μ m以下の樹脂層とを備え、該樹脂層が熱硬化性樹脂または熱可塑性樹脂であるものである。

【0029】請求項3に記載の発明は、請求項1記載の発明において、回路基板は、未焼成グリーンシートからなり、少なくとも第1導体パターンが形成されてから焼成されるものである。

【0030】請求項4記載の発明は、請求項1記載の発明において、回路基板は、多層配線構造に形成されているものである。

【0031】請求項5記載の発明は、請求項1記載の発明において、回路基板は、その表面粗さが、第1導体パターンの印刷面よりも第2導体パターンの印刷面の方を粗くしたものである。

【0032】請求項6記載の発明は、請求項1記載の発明において、前記第1導体パターンあるいは第2導体パターンの少なくとも一部に誘電体層を重ねて形成し、焼成する工程と、この誘電体層上に第3の導体パターンを形成し、焼成する工程とを包含するものである。

【0033】請求項7記載の発明は、請求項1または6記載の発明において、前記第1導体パターンと第2導体パターンの少なくとも一部を、熱膨張係数が前記回路基板の熱膨張係数に比べて $\pm 10\%$ 以内である第1及び第2の絶縁層で被う工程を含むものである。

【0034】請求項8記載の発明は、請求項1または6記載の発明において、前記第1導体パターンの一部にLSIチップをフェースダウン実装して電気的接続を行う工程を含むものである。

【0035】請求項9記載の発明は、請求項1または6記載の発明において、前記第1導体パターンに対応させた可とう性樹脂基材の表面に加工する溝の深さが少なくとも2種類ある凹版により、第1導体パターンのランド部を凹版の浅くした溝部で第1導体パターンを形成し、該ランド部にLSIチップをフェースダウン実装して電気的接続を行う工程を含むものである。

【0036】請求項10記載の発明は、請求項1または6記載の発明において、前記導電性ペーストを介在させることにより形成したスルーホールの空隙部に第2の半田を充填し、溶融・固化する工程と、この第2の半田と第2導体パターンに接合する第1のボール状半田を形成する工程とを包含するものである。

【0037】請求項11記載の発明は、請求項10記載の発明において、前記第2の半田を充填し、溶融・固化した後で、その充填量を一定にするために高さを揃える工程を含むものである。

【0038】請求項12記載の発明は、請求項10記載の発明において、前記第2の半田は前記ボール状半田よりも高融点であるものである。

【0039】請求項13に記載の発明は、請求項1、6、10のいずれかに記載の発明において、前記第1導体パターンの少なくとも一部を覆う第1絶縁層を形成する工程と、この第1の絶縁層のビアホール部に導体ペーストを充填し、焼成する工程と、このビアホール部の導体上にLSIチップの bumps を接続し、実装する工程とを包含するものである。

【0040】請求項14に記載の発明は、請求項13記載の発明において、前記第1の絶縁層は、予めビアホール部に導体ペーストが充填されたガラスセラミックを含んだ未焼成グリーンシートを前記第1導体パターン上に積層し、焼成することにより形成するものである。

【0041】請求項15に記載の発明は、請求項1、6、10のいずれかに記載の発明において、前記第1のボール状半田に対応した位置に穴を開けた板状マスクを第1のボール状半田に相対して配置する工程と、前記回路基板を加熱して該第1のボール状半田を溶融させ、同時に該穴開き板状マスクを該回路基板側に密着させて第1の半田を柱状に形成する工程と、この第1の柱状半田を固化し、該穴開き板状マスクを該基板から取り外す工程とを包含するものである。

【0042】請求項16に記載の発明は、請求項1、6、10のいずれかに記載の発明において、前記回路基板の第2導体パターンの形成された基板面に、穴開き板状マスクを密着させる工程と、該穴開き板状マスクの穴部もしくは穴部と穴部周辺に半田ペーストを形成する工程と、この半田ペーストを溶融して該マスクの穴部に半田を流し込み、第1の半田を柱状に形成する工程と、この第1の柱状半田を固化後に該穴開き板状マスクを該回路基板から取り外す工程とを包含するものである。

【0043】請求項17に記載の発明は、回路基板と、可とう性樹脂基材を使用した凹版の印刷によって回路基板上に転写形成された第1の導体パターンと、該第1の導体パターンに対して回路基板の反対面にスルーホールを介して電気的に接続された第2の導体パターンと、該第2の導体パターンに接合された第1のボール状半田とを備えたものである。

【0044】請求項18に記載の発明は、回路基板と、可とう性樹脂基材を使用した凹版の印刷によって回路基板上に転写形成された第1の導体パターンと、該第1の導体パターンに対して回路基板の反対面にスルーホールを介して電気的に接続された第2の導体パターンと、該スルーホールの空隙部に充填された第2の半田と、該第

2の導体パターン及び第2の半田に接合された第1のボール状半田とを備えたものである。

【0045】請求項19に記載の発明は、請求項17、請求項18のいずれかに記載の発明において、前記回路基板は、多層配線構造に形成されているものである。

【0046】請求項20に記載の発明は、請求項17、請求項18のいずれかに記載の発明において、前記回路基板はその表面粗さが、第1導体パターンの印刷面よりも第2導体パターンの印刷面の方を粗くしたものである。

【0047】請求項21に記載の発明は、請求項17、請求項18のいずれかに記載の発明において、前記第1導体パターンあるいは第2導体パターンの少なくとも一部に重ねて形成された誘電体層と、該誘電体層上に形成された第3導体パターンとをさらに備えたものである。

【0048】請求項22に記載の発明は、請求項17、請求項18、請求項21のいずれかに記載の発明において、前記第1導体パターンと、第2導体パターンの少なくとも一部を覆う第1及び第2の絶縁層をさらに備えたものである。

【0049】請求項23に記載の発明は、請求項17、請求項18、請求項21のいずれかに記載の発明において、前記第1導体パターンの一部にLSIチップをフェースダウン実装して電気的に接続されたものである。

【0050】請求項24に記載の発明は、請求項17、請求項18、請求項21のいずれかに記載の発明において、前記第1導体パターンの一部の膜厚を薄くし、その部分にLSIチップをフェースダウン実装して電気的に接続されたものである。

【0051】請求項25に記載の発明は、請求項17、請求項18、請求項21のいずれかに記載の発明において、前記第1導体パターンの少なくとも一部を覆う第1絶縁層と、該第1の絶縁層のビアホール部に充填され焼成された導体ペーストと、該ビアホール部の導体上に bumps により電気的に接続されたLSIチップと、をさらに備えたものである。

【0052】請求項26に記載の発明は、請求項17、請求項18、請求項21のいずれかに記載の発明において、前記第1の半田を柱状としたものである。

【0053】(実施の形態1) 本発明のパッケージ基板の製造方法の第1の実施形態を図1～図5を参照して以下に説明する。図1(a)は本実施形態の配線パターン例を示し、図1(b)は部分断面図を示す。

【0054】本実施形態のパッケージ基板は、図1(a)と図1(b)に示す通り、第1のボール状半田4による入出力端子数が289ヶで、そのボール状半田4の間隔が1.0mmの例を示す。図1(a)は第1導体パターン2の配線パターン例を示しているが、この導体ライン幅は、最小ライン幅で30 μ m、最小ライン間隔で60 μ m、又導体膜厚は焼成後で30 μ mにした。

又、第1導体パターン2はLSIチップと接続されるためのランド部61を端部に有し、一方の端部はそれぞれ回路基板1のスルーホール3へと繋がり、スルーホール内電極32を介して第2導体パターン12へ接続され、更に第1のボール状半田4へと接続される。

【0055】続いて、本実施形態の製造方法を工程順に説明する。まず、第1導体パターン2は凹版印刷によって製造される。図2において、使用される凹版50は、厚さ125 μ mの可とう性樹脂基材であるポリイミドフィルムに対し予め所望の配線パターンに対応した形状となるようエキシマレーザ装置を用いて紫外線領域の波長248nmのレーザビームにて照射されて作成される。レーザビームで照射された部分は光化学反応で分解されて第1導体パターンのラインに相当する溝部53が加工される。本実施形態では溝の幅を30 μ m、溝の深さを50 μ mとした。このようにエキシマレーザを用いる為に溝部53の幅が10 μ m以下でも可能となり、更に溝部53の深さも任意に調整でき、しかも溝部53の幅の寸法よりも深さ寸法の方を大きくとれるというアスペクト比の大きな事がこの凹版50の特徴の一つである。

【0056】可とう性樹脂基材としては、エキシマレーザによる加工の場合は、光化学反応で分解される材料であれば何でも可能であるが、他にポリエチレンテレフタレート(PET)やポリエーテルイミド(PEI)なども使用できる。凹版50の材料として使用しているポリイミドフィルムでは溝部53の中に充填されて転写される導体ペースト52とフィルムとの剥離性が充分でない。そのため、転写工程において溝部53の内部に導電ペースト52が残存しやすい。そこで、凹版50の表面、特に溝部53の表面に剥離層(図示せず)を形成する。剥離層はフッ化炭素系単分子膜を使用した。

【0057】次に、剥離層が形成された凹版50の表面に導電ペースト52としてAgペーストを塗布する。そして、塗布後の凹版50の表面をスキージ51で掻くことによって凹版表面の余分なAgペーストを除去するとともに、溝部53の中にAgペーストを十分に充填する。充填されたAgペーストは凹版50とともに乾燥機を用いて乾燥させてAgペースト中の有機溶剤を蒸発させる。そのため、有機溶剤の蒸発分に相当するだけ、溝部53の内部に充填されているAgペーストの体積が減少する。そこで、この体積減少分を補うためにAgペーストの充填工程及び乾燥工程を再度繰り返す。この繰り返しによって充填されているAgペーストの乾燥後の厚さを溝部53の深さとほぼ同等にすることが出来る。本例では3回の充填・乾燥を繰り返した。

【0058】次に、回路基板1上に導体パターンが転写されるように、熱可塑性樹脂よりなる接着層54によって回路基板1に形成した。図3に模式的に示されているように、乾燥済み導体ペースト62が充填された溝部53を有する側の凹版50の表面と接着層54とを対向さ

せ、凹版50と回路基板1とを加熱・加圧して貼り合わせる。ここで、回路基板1として焼成済みのセラミック基板を使用した。後述するように、接着層54の厚さが厚くなると、焼成時に接着層54自身の燃焼と収縮力によって導体パターンがうまく形成されないという問題点が発生する。発明者らによる検討の結果、接着層54の厚さは20 μ m以下が適当であることが確認されている。貼り合わせ工程の温度は130℃とした。これは使用する熱可塑性樹脂のガラス転移点よりも約30℃程高い温度を選び、転写性の良い事を確認した。熱可塑性樹脂は、ポリビニルブチラル樹脂(以下、PVBと略記)を溶解したブチルカルビトールアセテート(以下、BCAと略記)の溶液を回路基板1の表面にディップ法によって塗布して乾燥する。これによって、回路基板1の表面全体に厚さ5 μ mのPVB層を接着層54として形成する。なお、PVB層はディップ法の他にスピンナー法あるいはロールコート法、スクリーン印刷法を用いて塗布する事もできる。

【0059】ところで、通常、回路基板1の表面には少なくとも約30 μ m程度のうねりが存在する。ここで凹版として柔軟性をもっていないような例えばガラス製凹版等の場合には硬く剛性が大きすぎるために、貼り合わせ時に凹版が基板のうねり形状に十分に追従出来ないが、本発明のようにフレキシブル性に富んだ樹脂製の凹版を使用する構成によれば、基板のうねり形状に十分に追従でき、転写性の優れた製造方法となる。

【0060】次に、転写工程として、貼り合わせられた凹版50と回路基板1との温度を室温まで下げてから凹版50を回路基板1から剥離させ、配線パターンに応じてパターン化させた第1導体パターンである乾燥済み導体ペースト62の転写を行う。この時、図4に示すように、凹版50がフレキシブル性に富んでいるため、凹版50を90°以上の角度に曲げる事が可能である。この結果、回路基板1からの凹版50の剥離は線上の剥離になるため、必要な剥離力が低減されて凹版50を容易に剥離する事が出来る。

【0061】次に、上記のように乾燥済み導体ペースト62が転写された回路基板1をピーク温度850℃の温度プロフィールの下で焼成する。焼成の対象になる回路基板1は接着層54を介して導体パターンが形成されている構造になるので、焼成条件の設定によっては接着層54から燃焼ガスが勢い良く発生して導体パターンの不良の原因になる剥離や変形が生じる事がある。そのような不具合の発生を防ぐためには、接着層54の燃焼が開始されてから終了するまでの温度に相当する200℃～500℃の間の昇温時の温度勾配を200℃/Hr以下にする事が望ましい。

【0062】これらの温度条件と接着層の膜厚の關係に検討を加えた結果、上記温度条件の下では接着層が20 μ m以下であれば、導体パターンの変形もなく、焼成時

の導体パターン剥がれも無いことが確認できた。以上の工程により、第1導体パターン2が形成され、最小ライン幅 $30\mu\text{m}$ 、最小ライン間隔 $60\mu\text{m}$ 、焼成後の導体膜厚 $30\mu\text{m}$ のものが得られた。又第1導体パターンの電気抵抗は最大線長部分で 0.2Ω 、導体の面積抵抗値は $0.7\text{m}\Omega$ と非常に小さい配線抵抗にすることができた。

【0063】次に、スルーホール内電極32の形成については、スクリーン印刷法により第1導体パターン2側からと、第2導体パターン12側からの両面から、空気吸引力により導体ペーストをスルーホール内へ吸引することで塗布し、乾燥・焼成する。ここで、使用した導体ペーストは後述する第2導体パターンと同じAg-Pdペーストを使用した。又、焼成温度はピーク温度 850°C とした。

【0064】続いて第2導体パターン12の形成に移るが、この場合はこのパターンにライン幅やライン間隔に特に微細な寸法が必要で無いため、従来法と同じスクリーン印刷法で形成した。しかし、この第2導体パターン12においても微細なパターンが必要になれば、本実施形態で述べた第1導体パターン2と全く同じ手段でパターン形成が出来る。ここで使用した導体ペーストはスルーホール内電極32と同じAg-Pdペーストを使用した。

【0065】次に、第1のボール状半田4を形成するために、サイズ $\phi 0.5\text{mm}$ の球でPb(90%)、Sn(10%)の高融点半田を用意し、所定の第2導体パターン12へ整列して装着する。第2導体パターンの半田装着部分には予めフラックスを塗布しておく。装着された半田ボールは、窒素雰囲気中で 340°C のリフロー炉によって溶融され、図1(b)のように第2導体パターン部分へ接合され、パッケージ基板が完成する。

【0066】なお、導体パターンへは無電解Ni-Auめっきをし、導体の保護をする事もできる。又、第1のボール状半田4の接合のため、第2導体パターン12部分へフラックスを塗布したが、共晶半田(Pb64%、Sn36%)をスクリーン印刷法により形成し、その上にボール状半田を装着して 240°C のリフロー炉で接合する事もできる。また、ここで使用した凹版は可とう性樹脂基材を使用した。金属基板に加工して凹版として使用する事も可能である。

【0067】本実施形態においては、以下に示す効果を有する。可とう性樹脂基材の表面に微細な溝部を形成して凹版とし、溝部に導電性ペーストを充填乾燥し、乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再乾燥する工程を所定の回数繰り返す事で溝部に濃縮された導体材料を充填し、その凹版と回路基板とを貼り合わせ、溝部に充填された導体材料を回路基板上に転写し、焼成して微細な導体パターンを形成したパッケージ基板であるため、例えばライン幅が $30\mu\text{m}$ で

あれば導体膜厚が $30\mu\text{m}$ の高膜厚が実現でき、配線抵抗が非常に低く、大型で多端子のパッケージ基板でもほぼ単層の配線で全てのラインを形成出来る。

【0068】導体パターンは、すでに焼結済みのセラミック基板上に形成するため、LSIチップとの接続用のランドパターンの精度は数 μm 程度のばらつきで制御が可能であり、LSIチップのフェースダウン実装の歩留まりはほぼ100%を実現できる。

【0069】配線パターンのライン幅の微細化が $10\mu\text{m}$ まで可能であるため、多層化する事により更に小型化が可能となり、又LSIの多チップの実装にも対応可能となる。

【0070】配線パターンが単層で形成できるため、そのパターンに誘電体を被う事で、簡素な構造でノイズ成分が除去可能となり、電氣的に安定なパッケージ基板が得られる。

【0071】(実施の形態2)本発明のパッケージ基板の製造方法の第2の実施形態を図6と図7を参照して以下に説明する。図6、図7は本実施形態の部分断面図である。まず未焼成グリーンシートとして、低温焼成可能なガラスセラミック材料を含んだグリーンシートを用意した。そのグリーンシートは、所定の位置にスルーホールを形成するために穴開け加工をし、続いてそのスルーホール部に導体ペーストとしてAg-Pdペーストをスクリーン印刷によって充填し、乾燥してスルーホール内電極32を形成した。

【0072】次に、そのグリーンシートの第1導体パターン2を形成する面にPVBを溶解したBCAの溶液をロールコートにより塗布して乾燥した。一方、凹版への導体ペーストの充填・乾燥は、実施形態1と同様な方法で実施した。グリーンシートは所定の寸法に裁断し、実施形態1と同様の方法で凹版を積層し、導体パターンを転写して、グリーンシート上に第1導体パターン2を形成した。

【0073】次に第2導体パターン12の形成は、スクリーン印刷法によってAg-Pdペーストを用いて形成した。続いてグリーンシートを第2導体パターンと同時にピーク温度 900°C の温度プロフィールの下で焼成した。焼成によってグリーンシートは、15%程収縮してセラミック基板11となった。凹版の溝パターンは、予めこの収縮率を見込んで大きく設計している。

【0074】次に、第1のボール状半田4の形成についても、実施形態1と全く同様な方法で形成し、パッケージ基板を完成した。

【0075】なお、本実施形態において、スルーホール部の内部は全てAg-Pdで充填されているので、図7で示すように他にスルーホール内電極32の直下に第1のボール状半田4を形成することも出来る。ここでは未焼成グリーンシートに低温焼成の可能なガラスセラミック系の材料を使用した。高温焼成用のアルミナ主成分

の材料でも当然可能であり、その場合は導体材料としてタングステンペーストを使用し、焼成雰囲気は窒素と水素の混合ガスを使用し、ピーク温度1500℃～1600℃で焼成すればよい。更に、ここではグリーンシートの第1導体パターンを形成する面にPVBを溶解したBCAの溶液を塗布したが、グリーンシートのバインダーを利用することにより、第1導体パターンを接着することもできる。

【0076】本実施形態においても、凹版印刷により微細で高膜厚の導体パターンの形成が可能であるために配線抵抗が非常に低く、大型で多端子のパッケージ基板でもほぼ単層の配線で全てのラインを形成出来るという効果を有する。

【0077】(実施の形態3) 本発明のパッケージ基板の製造方法の第3の実施形態を図8を参照して以下に説明する。まず図8に示す多層配線基板21の部分の形成について説明する。多層配線基板21は3枚の基板の積層体で例示されているが、個々の基板については、実施形態2と同様に未焼成グリーンシートとして、低温焼結の可能なガラスセラミック材料を含んだグリーンシートを用意した。そのグリーンシートは所定の位置にビアホールを形成するために穴開け加工をし、続いてそのビアホール部に導体ペーストとしてAg-Pdペーストをスクリーン印刷によって充填し乾燥してビアホール内電極42を形成した。

【0078】次に、そのグリーンシートの片面あるいは両面に、内部配線電極41を形成するために、Ag-Pdペーストにてスクリーン印刷をしてパターン形成を行った。また所定の形状で準備されたグリーンシートを3枚重ねて、加圧・加熱し、積層体として多層配線されたグリーンシートが得られた。

【0079】続いて、その積層されたグリーンシートに実施形態2と同様に第1導体パターン2が凹版によって転写形成され、第2導体パターン12をスクリーン印刷により形成し、積層されたグリーンシートと同時に900℃にて焼成した。

【0080】次に、第1のボール状半田4の形成についても、実施形態1、2と同様の方法で形成し、パッケージ基板を完成した。

【0081】なお、本実施形態において、グリーンシートに低温焼成の可能なガラスセラミック系の材料を使用した。高温焼成用のアルミナ主成分の材料でも当然可能であり、その時には多層配線基板の配線材料として、タングステンペーストを使用し、焼成雰囲気は窒素と水素の混合ガスを使用し、ピーク温度1500℃～1600℃で焼成すればよい。他に、第1及び第2導体パターンは、焼結された多層配線基板21が得られてから、その表面に凹版印刷及びスクリーン印刷によってCuペーストを用いて形成し、窒素雰囲気中でピーク温度850℃で焼成することによってパッケージ基板を得ることが出

来る。

【0082】本実施形態においても、凹版印刷により微細で高膜厚の導体パターンの形成が可能であるために配線抵抗が非常に低く、更に多層配線も可能であるために、実装されるLSIチップが2ヶ以上の時など、配線が互いに交差する場合のパッケージ基板の小型化に特に有効となる。

【0083】(実施の形態4) 本発明のパッケージ基板の製造方法の第4の実施形態を図1(b)を参照して以下に説明する。

【0084】図1(b)において、回路基板1の表面状態に関しては、第1導体パターン2が形成される面と、第2導体パターン12が形成される面の状態ではそれぞれ次のように目的が異なる。つまり、第1導体パターン2が形成される面は微細なパターンを形成し、配線抵抗も小さくすることが必要であることから、それが形成される回路基板1の表面粗度は小さい方が有利である。一方、第2導体パターン12が形成される面は、第1のボール状半田4が接合され、その半田ボールに加えられる引き剥がし応力に十分に耐えられる必要があるために接合強度が強くなるような構造が必要となる。接合強度を強くするためには、第2導体パターンと回路基板との化学的及び物理的結合を強くする手段として回路基板1の表面粗度を粗くして、強度向上を図る事が必要となった。

【0085】発明者らは、回路基板1に求められる相反する2つの目的を同時に解決する為に、回路基板を構成するアルミナ粉末の粒度を微細化し、回路基板の表面粗度の向上を図る。そして回路基板の一方の面は、回路基板を製造する工程のシート化する工程において、スラリーを表面粗度Ra=0.1μm以上のフィルム上にコーティングすることによってグリーンシートの一方の面を粗化した。

【0086】そうすることによって、回路基板の表面粗度は第1導体パターン2が形成される面がRa=0.20μm、第2導体パターン12が形成される面がRa=0.55μmとなり、第2導体パターンと回路基板との接合強度は1.9kg/mm²から3.1kg/mm²へと大幅な向上が実現でき、それに伴って第1のボール状半田の接合強度の大幅な向上も図れた。

【0087】また導体パターンの形成及び第1のボール状半田の形成等のパッケージ基板の製造工程は実施形態1と同様であり、その品質は実施形態1より更に向上した。

【0088】(実施の形態5) 本発明のパッケージ基板の製造方法の第5の実施形態を図9を参照して以下に説明する。まず第1導体パターン2を形成し、スルーホール内電極32、第2導体パターン12を形成する工程までは、実施形態1と同様の工程で作成した。

【0089】次に第2導体パターン12の上に誘電体層

5を形成するために誘電体ペーストをスクリーン印刷法で印刷形成し、ピーク温度900℃で焼成した。焼成後の誘電体層の膜厚は40μmとした。又、誘電体としてはその比誘電率が10000の材料を使用した。

【0090】次に、第2導体パターンと同じAg-Pdペーストを使用して、誘電体層5上にスクリーン印刷によって、第3導体パターン22を印刷形成し、ピーク温度850℃で焼成した。これによって、第2導体パターン12と第3導体パターン22との間でキャパシタンスを形成し、その容量として2μFを得る事ができた。

【0091】次に回路基板1のスルーホールには、スルーホール内電極32が形成されているが、空隙部があるので、その空隙部を充填するために、高融点半田ペースト(Pb90%, Sn10%)を使用して、スクリーン印刷法によって充填した。図10(a)には、スルーホールの空隙部に半田ペーストを充填し、リフローした後の第2の半田14の状態を模式的に示す。図10(a)に示すように、半田が空隙部よりも多くなるように充填するために印刷面側でペースト膜厚を厚くし、リフロー時にスルーホール内電極の濡れ性によって半田をスルーホール内へ流動させることが重要である。

【0092】又、第2の半田14の量的ばらつきを均一化する為に、回路基板1上の電極面よりも盛り上がっている部分を鋭利な切断刃によって第2の半田を切断し、図10(b)のように第2の半田の高さを揃えて均一化した。次に、第1のボール状半田4は実施形態1と同様の方法で形成してパッケージ基板を完成した。

【0093】これにより、本実施形態のパッケージ基板は、その配線パターンに誘電体が被われていることで、そのキャパシタンス成分によりノイズ除去等が簡素な構造で実現でき、電気的に高い性能を持った安定なパッケージ基板が得られた。更に、回路基板のスルーホールの空隙部に半田を充填したために半田ボールと回路基板との接合強度が強く、半田ボールの強度的信頼性が高い。また半田の熱伝導性も高いため、LSIで発生する熱を効率よく半田ボールまで伝導することができる。またスルーホールに充填された半田は高さが揃っているために、そこに装着される第1のボール状半田の高さもばらつきの少ないものとなる。

【0094】(実施の形態6) 本発明のパッケージ基板の製造方法の第6の実施形態を図11及び図12を参照して以下に説明する。

【0095】まず第1導体パターン2を形成し、スルーホール内電極32、第2導体パターン12を形成する工程までは、実施形態1と同様の工程で作成した。

【0096】次に第1及び第2導体パターンの上に第1及び第2の絶縁層を形成するために結晶化ガラスペーストを用いてスクリーン印刷法で印刷形成し、第1及び第2の絶縁層6, 16を同時にピーク温度850℃で焼成した。ここで用いた結晶化ガラスペーストの焼成後の熱

膨張係数(以後 α と略記)は $7.8 \times 10^{-6}/^{\circ}\text{C}$ であった。またアルミナ主成分の回路基板1の α は $7.2 \times 10^{-6}/^{\circ}\text{C}$ であった。

【0097】次に、回路基板のスルーホールには、実施形態5と同様の方法で第2の半田14を高融点半田ペースト(Pb90%, Sn10%)で形成し、第1のボール状半田4を実施形態1と同様の方法で直径サイズ0.5mmの球の高融点半田(Pb90%, Sn10%)を用いて、第2の半田14及び第2導体パターン12に接合してパッケージ基板を得た。

【0098】続いて、図12に示すように、バンパ付きのLSIチップを前述のパッケージ基板に実装する工程になるが、ここではバンパとして共晶半田(Pb64%, Sn36%)を使用した。又バンパ57には実装前に予めフラックスを塗布しておいた。バンパ付きのLSIチップ56は、パッケージ基板の第1導体パターン2の端部であるランド部61に正確に位置合わせをして載せられる。そしてパッケージ基板とLSIチップとは位置がずれないように静かに260℃のリフロー炉にてバンパを溶融し接合した。接合後はフラックスを洗浄し、LSIチップと基板間を清浄にしておいた。

【0099】次に、LSIチップ56及び第1導体パターン2を保護するために、互いの間に封止樹脂58を充填し、180℃で硬化した。ここで用いた封止樹脂は、無機質の微小粉末を混合したエポキシ樹脂を使用し、LSIの実装されたパッケージ基板とした。

【0100】ここで、結晶化ガラスペーストに $\alpha=7.8 \times 10^{-6}/^{\circ}\text{C}$ の材料を用いたが、 $\alpha=9.0 \times 10^{-6}/^{\circ}\text{C}$ の材料を用いた時は、第1及び第2の半田の形成の急加熱・急冷却時に回路基板1との α の差により、第1及び第2の絶縁層6, 16にマイクロクラックが入りやすい。

【0101】更に、第1の絶縁層6を形成し、第2の絶縁層16を形成しないときには、絶縁層と基板とのわずかな α の差といえども、焼成後にパッケージ基板の反りが大きくなり、つまりランド部61の高さばらつきが大きくなるために、LSIチップ56を実装する時に、バンパ57がランド部に届かない場合も発生し実装不良となりやすい。その為にも、第1の絶縁層6を形成すると同時に第2の絶縁層16を形成し、しかもその α は回路基板の α に対して $\pm 10\%$ 以内とした。

【0102】これによって、微細な配線パターンにおいても実装歩留まりが高く、しかも絶縁層で被われているために、導体材料にAgを使用してもマイグレーションの発生しにくいパッケージ基板が得られた。

【0103】なお、本実施形態では、第1のボール状半田4を第2の半田14と第2導体パターン12に接合してからLSIチップの実装をしたが、別の方法としては、LSIチップを実装してから第1のボール状半田4を接合してもよい。この場合は第1のボール状半田4は

共晶半田にするのが好適である。あるいは第1のボール状半田4は使用しないで、その代替としてパッケージを実装されるプリント基板側に予め半田ペーストを印刷しておき、そこにこのパッケージを載せてリフロー炉にて半田接合することもできる。

【0104】(実施の形態7) 本発明のパッケージ基板の製造方法の第7の実施形態を図13と図14を参照して以下に説明する。まず図13に示すように、第1導体パターン2を形成するための凹版50には、これまでの実施形態で説明したような溝部53を可とう性樹脂基材であるポリイミドフィルムへ加工するが、パターンの一部(本実施形態ではランド部)に浅い溝部63を設ける。具体的にはエキシマレーザを用いて溝部53の溝の深さは50 μ とし、浅い溝部63は20 μ に加工した。

【0105】以下、凹版50に導体ペーストを充填・乾燥し、回路基板1へ第1導体パターン2を転写する工程、及びスルーホール内電極32、第2導体パターン12の形成、更に第1及び第2の絶縁層6、16の形成から第1及び第2の半田4、14の形成、又バンパ付きLSIチップ56の実装まで、第1導体パターンを除けば全て実施形態6と同様の工程で図14に示すパッケージを作成した。

【0106】実施形態6と異なるのは、図14に示す第1導体パターン2の端部に設けた膜厚の薄いランド部71を形成したことにある。ランド部の膜厚を薄くしたことにより、LSIチップのバンパ57の間隔が狭くなり、又小さなバンパになった場合でも、ランド部71へLSIチップを高精度に位置合わせし、載せた時の安定性が損なわれることなく高い実装歩留まりを得ることが出来る。つまり、狭ピッチのバンパをもつLSIチップのような実装の場合には、実施形態7で示すようなランド部の方が更に有効である事が確認出来た。

【0107】(実施の形態8) 本発明のパッケージ基板の製造方法の第8の実施形態を図15を参照して以下に説明する。

【0108】まず第1導体パターン2を形成し、スルーホール内電極32、第2導体パターン12を形成する工程までは、実施形態1と同様の工程で作成した。

【0109】次に、絶縁層26としてここでは未焼成グリーンシートを使用した。未焼成グリーンシートは実施形態6で使った結晶化ガラスペーストと同じ無機成分を配合した。これは回路基板1及び第2の絶縁層16の α をほぼ合致させるためである。グリーンシートの厚みは100 μ とし、ビアホールをパンチャーにて打ち抜き、そのビアホール内に導体ペーストとしてAg-Pdペーストをスクリーン印刷法にて充填し乾燥した。そのグリーンシートは回路基板1と位置合わせをして加熱・加圧して積層し、ピーク温度850℃にて焼成した。

【0110】次に、第2の絶縁層16は実施形態6と同じ材料でスクリーン印刷し焼成した。続いて、絶縁層2

6の上に第4導体パターン23を凹版印刷法によりAgペーストを用いて形成し焼成した。また第1及び第2の半田4、14の形成及びバンパ付きLSIチップ56の実装は実施形態6と同様の工程で製造し、図15に示すパッケージを得た。

【0111】本実施形態のパッケージ基板によれば、LSIチップ56の電極パッドがエリアパッドタイプのように非常に多くのパッドがある場合に、そこに形成されるバンパと接続される配線が非常に狭い領域で高密度になる為に、その配線を凹版印刷の微細で高膜厚の配線パターンを活用して第1及び第4導体パターン2、23を形成し、また第1及び第4導体パターン2、23の接続はビアホール内電極42を用いることが非常に有効となる。

【0112】(実施の形態9) 本発明のパッケージ基板の製造方法の第9の実施形態を図16を参照して以下に説明する。

【0113】本実施形態については特に第1のボール状半田4を柱状半田に変形する工程について説明する。図16(a)はすでにこれまでの実施形態で述べたものとはほぼ同じパッケージ基板を、第1のボール状半田4を上向けにおいたものであり、その第1のボール状半田4に対向するように穴部60をもった板状マスク59を積載したものである。板状マスク59はアルミナ主成分のセラミック基板とした。それは後述する加熱時に回路基板1との α をほぼ一致させて寸法精度を高めるためである。

【0114】次に、前述の板状マスク59とパッケージ基板をリフロー炉にて加熱し、第1のボール状半田4を溶融し、図16(b)の如く第1のボール状半田4を板状マスク59の穴部60と同じ形状として第1の柱状半田24を得た。冷却後に板状マスク59を引き剥がすことによって、図16(c)で示すような第1の柱状半田24をもつパッケージ基板が得られた。本実施形態で用いた第1のボール状半田の材質は、共晶半田(Pb64%, Sn36%)であり、第2の半田14は高融点半田(Pb90%, Sn10%)を使用した。

【0115】これにより、本実施形態で作成した柱状半田をもつパッケージ基板によって、このパッケージ基板が α の大きく異なるガラスエポキシ基板に実装される場合においても、比較的大きなパッケージサイズまでヒートサイクル試験に耐えられる構造となった。なぜならば、ボール状よりも柱状の方が半田の高さを高くすることができ、その分ガラスエポキシ基板とセラミック製の回路基板との α の差による応力や歪みに対して、半田そのものの変形量を大きくとることができ、半田の疲労を小さくすることができるからである。

【0116】なお、ここで板状マスク59にセラミック基板を使用したのが、寸法精度を高精度にする必要がない場合には、ステンレス等の金属板でも良いし、あるいは

熱硬化性樹脂板でも良い。また図16(b)で示す第1の柱状半田24が板状マスクから大きくはみ出した場合には、実施形態5で述べたのと同様の方法ではみ出した半田部分を鋭利な切断刃によって切断し、第1の柱状半田の高さを揃えることも有効な手段である。

【0117】(実施の形態10)本発明のパッケージ基板の製造方法の第10の実施形態を図17を参照して以下に説明する。本実施形態においても、第1のボール状半田4に相当する柱状半田の形成方法について説明する。図17(a)はすでにこれまでの実施形態で述べたものとほぼ同じパッケージ基板を第2導体パターン12を上向けにおいたものであり、第2の半田14に対向するように穴部60をもった板状マスク59を積載したものである。板状マスク59はステンレス製を使用した。それは図17(a)で示すように、板状マスク59の穴部に半田ペーストを充填するためにスキージ51で掻くとき、板状マスク59の表面性が優れているために滑らかに掻くことが出来るからである。

【0118】次に図17(b)で示すように、板状マスク59の上に更に半田ペースト34をスクリーン印刷によって形成した。これは半田ペーストが溶融したときに半田ペーストの体積減少によって穴部60に充填された半田ペーストだけでは半田の高さが充分でないからである。このように板状マスク59上に更に印刷形成された半田ペーストによって穴部60に完全に半田を充填することとなり、図17(c)で示すように充分に高さがとれた第1の柱状半田24を形成することが出来た。

【0119】本実施形態で作成した柱状の半田をもつパッケージ基板によって、実施形態9と全く同様な効果が得られた。

【0120】なお本発明は、セラミックタイプのパッケージ基板について述べてきたが、第1のボール状半田の代わりにピン端子が装着されているようなセラミックタイプのピングリッドアレイ(俗称C-PGA)についても全く同様に有効である。

【0121】

【発明の効果】本発明によれば、以下に示す効果を有する。

【0122】①配線パターンのライン幅の微細化が10 μ mまで可能であり、パッケージ基板として例えばライン幅が30 μ mであれば導体膜厚が30 μ mの高膜厚が可能となり、配線抵抗が低く、大型で多端子のパッケージ基板でもほぼ単層の配線で全てのラインを形成出来る。

【0123】②導体パターンは、すでに焼結済みのセラミック基板上に形成するため、LSIチップとの接続用ランドパターンの精度は数 μ m程度のばらつきで制御が可能であり、LSIチップのフェースダウン実装の歩留まりはほぼ100%を実現できる。また、導体パターンのランド部を薄くできるためにLSIチップの実装時の

位置ズレを小さくでき、LSIチップのバンパピッチが小さくなくても、更に実装歩留まりを高めることができる。

【0124】③配線パターンのライン幅の微細化が10 μ mまで可能であるため、①で述べた効果はあるが、これを多層化する事で更に小型化が可能となり、又LSIの多チップの実装にも対応可能となる。

【0125】④半田ボールの接合される面の基板の表面粗度が粗いので、半田ボールと導体パターン間、導体パターンと基板間でそれぞれ接合強度が強くなり、半田ボールの強度的信頼性が高い。

【0126】⑤配線パターンが単層で形成できるため、そのパターンに誘電体を被う事で、簡素な構造でノイズ成分が除去可能となり、電気的に安定なパッケージ基板が得られる。

【0127】⑥回路基板のスルーホール空隙部に半田を充填するため、半田ボールの回路基板との接合強度が強くなり、半田ボールの強度的信頼性が高い。又半田の熱伝導性も高いため、LSIで発生する熱を効率よく半田ボールまで伝導する事が出来る。

【0128】⑦柱状の半田を簡素に形成できるため、その柱状半田により、パッケージ基板とプリント基板との間の熱膨張差により受ける応力や歪みを柱状半田で緩和されやすい構造となり、接続の信頼性が高まる。

【0129】このように本発明のパッケージ基板の製造方法によれば、セラミック基板を使用した混成集積回路を形成し、外部端子として半田ボールを形成することにより、配線抵抗が小さく、小型で実装性の優れた混成集積回路を容易に実現できる。

【図面の簡単な説明】

【図1】(a)本発明の実施形態1によるパッケージ基板の配線パターンを示す平面図

(b)同パッケージ基板の部分拡大断面図

【図2】同パッケージ基板における凹版への導体ペーストの充填工程を模式的に示す概略図

【図3】同パッケージ基板の凹版と回路基板の積層工程を模式的に示す概略図

【図4】同パッケージ基板の転写工程を模式的に示す概略図

【図5】同パッケージ基板の導体パターンの焼成工程を模式的に示す概略図

【図6】本発明の実施形態2によるパッケージ基板の部分断面図

【図7】同パッケージ基板の別の構成例を示す部分断面図

【図8】本発明の実施形態3によるパッケージ基板の部分断面図

【図9】本発明の実施形態5によるパッケージ基板の部分断面図

【図10】(a)同パッケージ基板による第2の半田の

充填工程における部分断面図

(b) 同パッケージ基板による第2の半田の充填後の高さを揃える工程を説明する部分断面図

【図11】本発明の実施形態6によるパッケージ基板の部分断面図

【図12】同パッケージ基板へのLSIチップを実装した部分断面図

【図13】本発明の実施形態7による凹版への導体ペーストの充填工程を模式的に示す概略図

【図14】同パッケージ基板へのLSIチップを実装した部分断面図

【図15】本発明の実施形態8によるパッケージ基板へのLSIチップを実装した部分断面図

【図16】(a), (b), (c) 本発明の実施形態9によるパッケージ基板への柱状半田の製造工程を説明する概略図

【図17】(a), (b), (c) 本発明の実施形態10によるパッケージ基板への柱状半田の製造工程を説明する概略図

【図18】従来のパッケージ基板を模式的に示す断面図

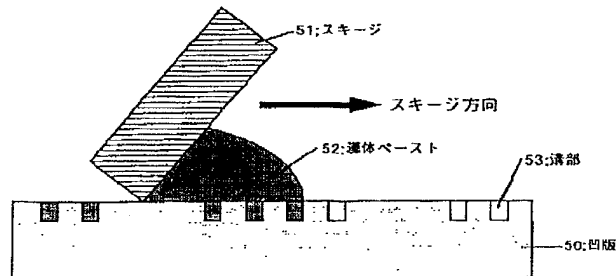
【図19】(a)～(e) 従来のパッケージ基板の導体パターンの形成工程を説明するための説明図

【符号の説明】

- 1 回路基板
- 2 第1導体パターン
- 3 スルーホール
- 4 第1のボール状半田
- 5 誘電体層
- 6 第1の絶縁層

- 11 未焼成グリーンシートを用いたセラミック基板
- 12 第2導体パターン
- 13 ビアホール
- 14 第2の半田
- 16 第2の絶縁層
- 21 多層配線基板
- 22 第3導体パターン
- 23 第4導体パターン
- 24 第1の柱状半田
- 26 未焼成グリーンシートを用いた絶縁層
- 32 スルーホール内電極
- 34 半田ペースト
- 41 内部配線電極
- 42 ビアホール内電極
- 50 凹版
- 51 スキージ
- 52 導体ペースト
- 53 溝部
- 54 接着層
- 55 プレス治具
- 56 LSIチップ
- 57 パンプ
- 58 封止樹脂
- 59 板状マスク
- 60 穴部
- 61 ランド部
- 62 乾燥済み導体ペースト
- 63 浅い溝部
- 71 薄いランド部

【図2】

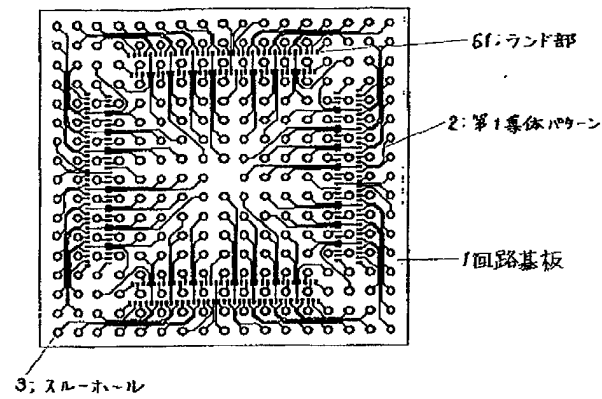


(14)

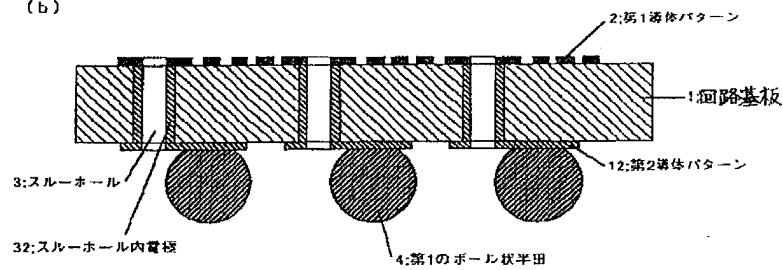
特開平10-256425

【図1】

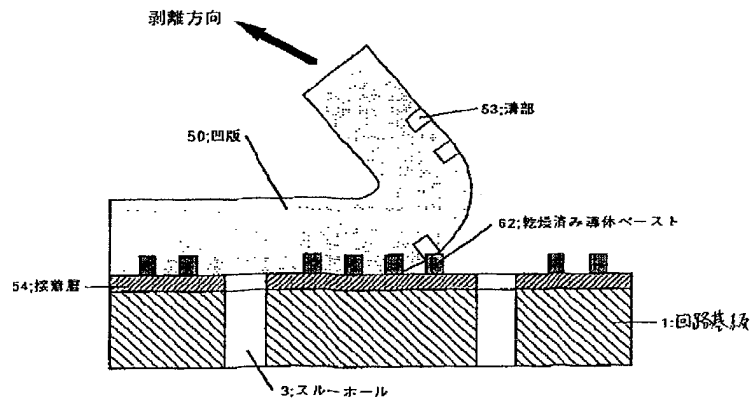
(a)



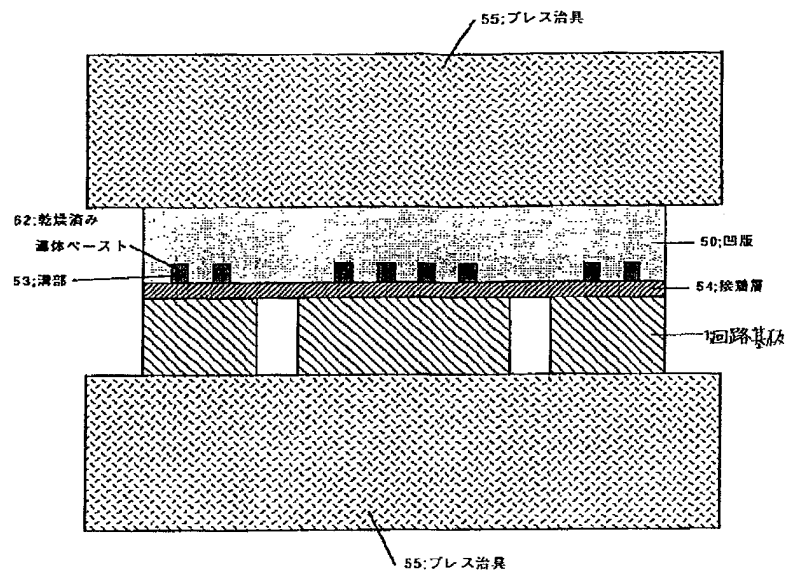
(b)



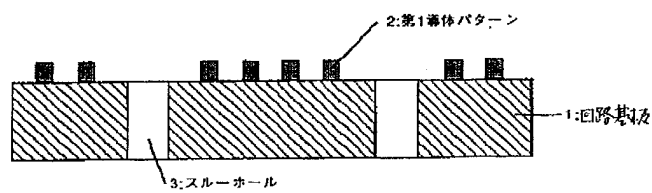
【図4】



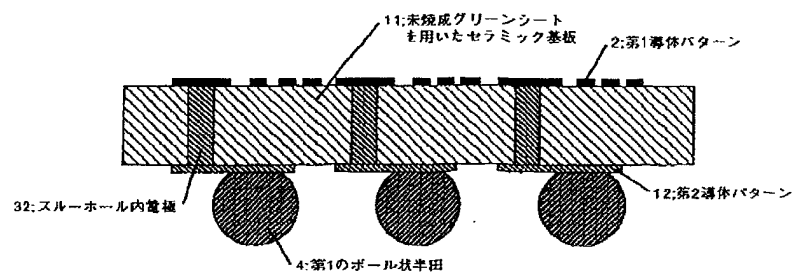
【図3】



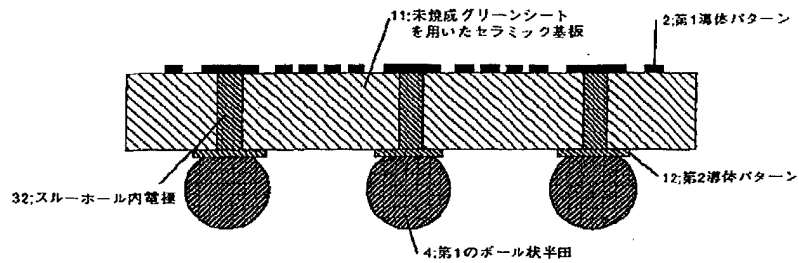
【図5】



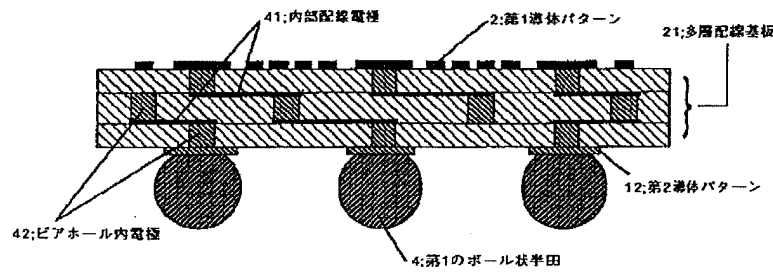
【図6】



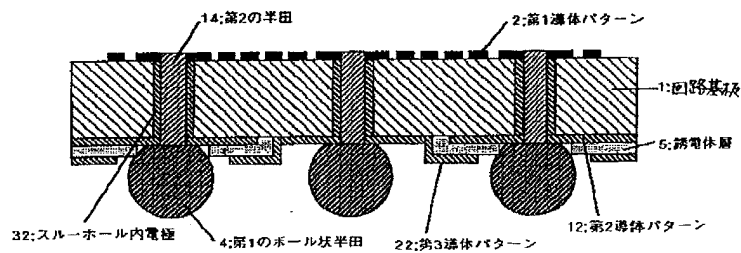
【図7】



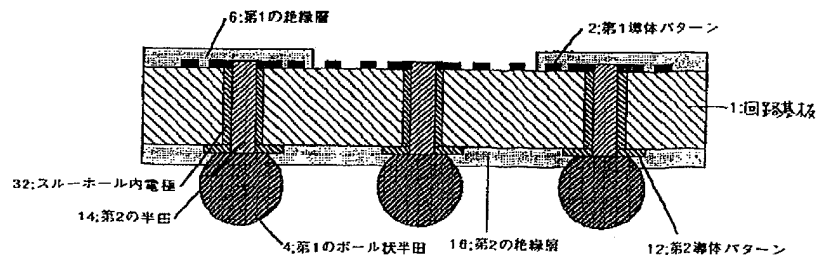
【図8】



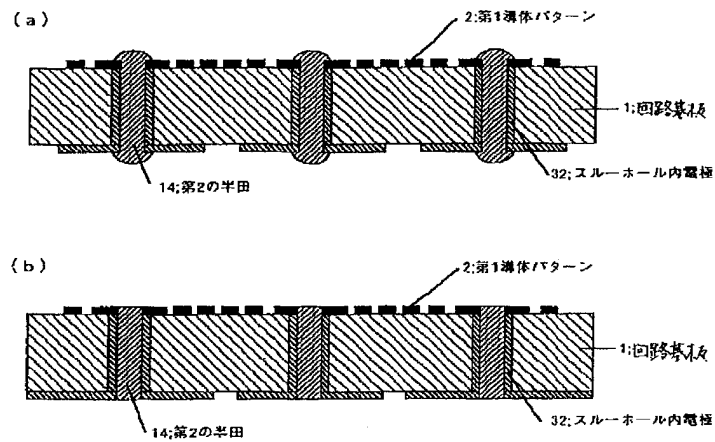
【図9】



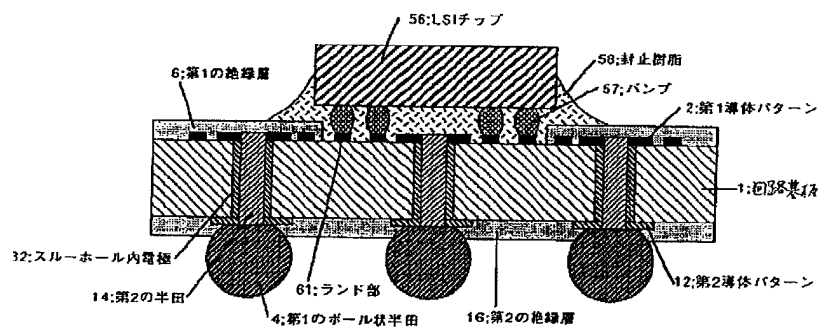
【図11】



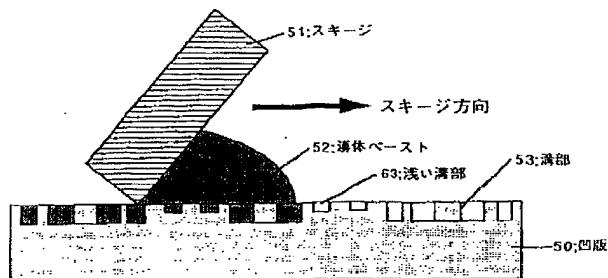
【図10】



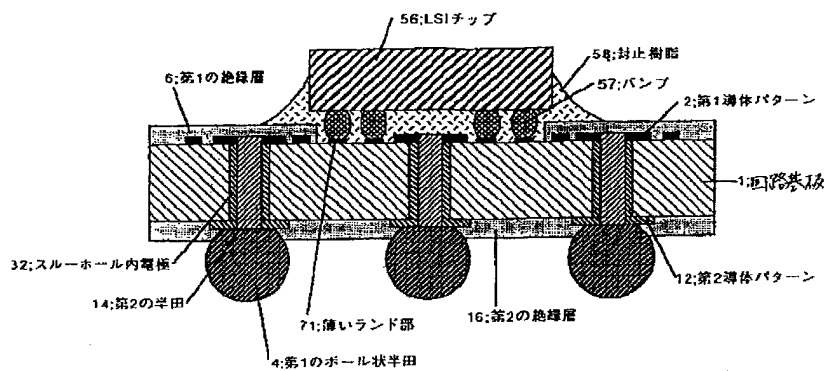
【図12】



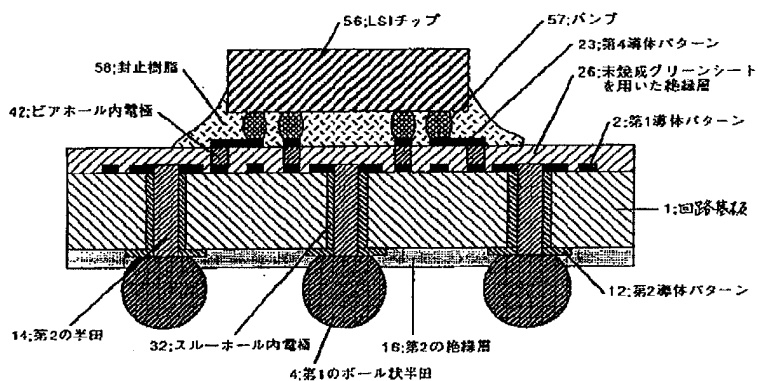
【図13】



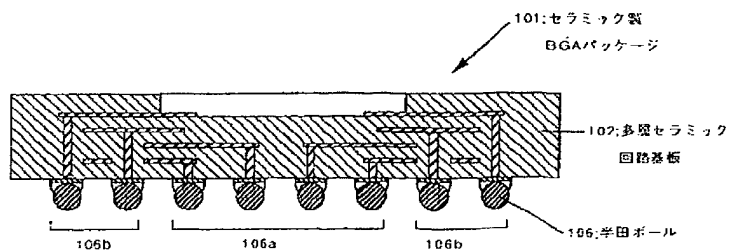
【图 14】



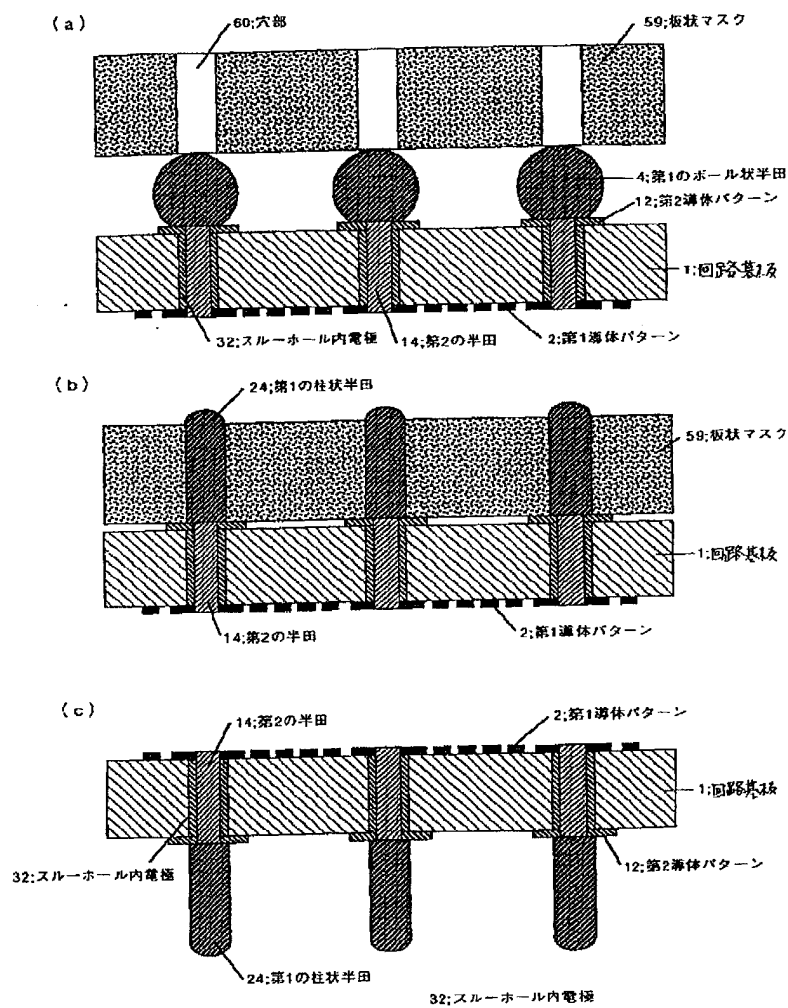
【图15】



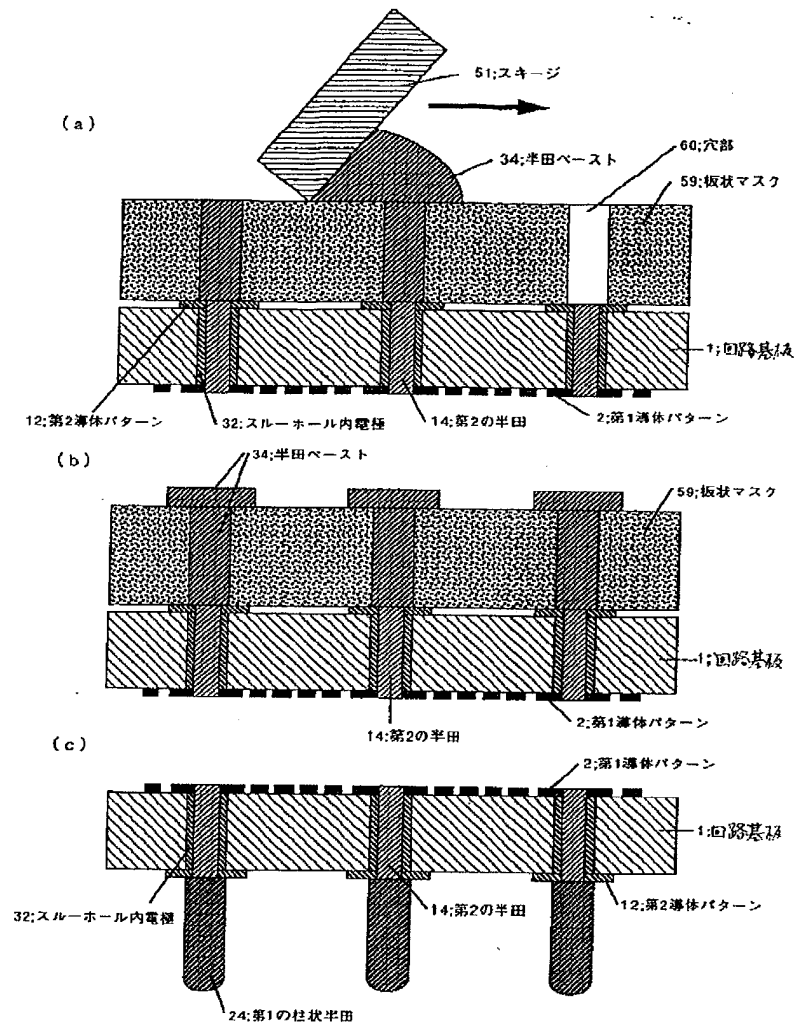
【図18】



【図16】



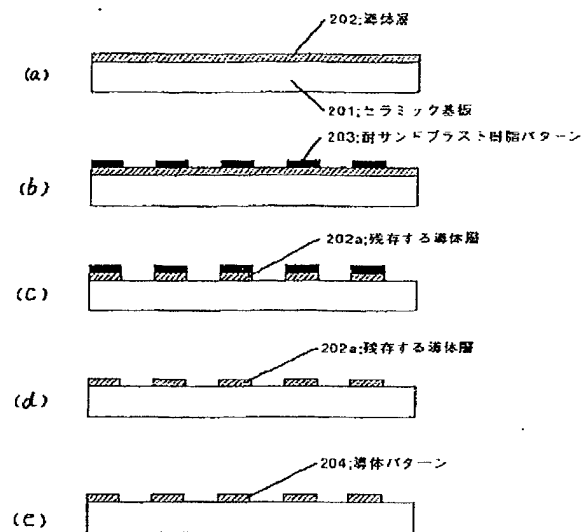
【図17】



(21)

特開平10-256425

【図19】



フロントページの続き

(51)Int. Cl.⁶
H05K 3/46

識別記号

F I
H01L 23/12

C

(72)発明者 村上 富太郎
大阪府門真市大字門真1006番地 松下電器
産業株式会社内